

PenrynのCステイト制御

	High Frequency Mode	C0	C1/C2	C3(Deep Sleep)	C4(Deeper Sleep)	DC4(Yonah/Merom)	C6(Deep Power Down)	
		<p>Active</p> <p>CC1-CC3 state</p>			<p>Penrynでは両CPUコアのステイトが各8KBのSRAMに保存される</p>		<p>CPUコアステイトを保存した各8KBのSRAMだけに、I/Oレベルの電圧が供給される</p>	
Core Voltage						<p>below cache data retention level</p> <p>core retention level</p> <p>below core retention level</p>		
Core Clock			off	off	off	off	off	
PLL				off	off	off	off	
L1 Cache					flushed	flushed	off	
L2 Cache					partial flushed	off	off	
Wakeup time	active	active						
Idle Power								
Trade Off			<p>High Idle Power</p> <p>Low Idle Power</p>					
			<p>Quick wake up</p> <p>Long Latency</p>					